

METHOD FOR FORMING GUARD RING REGION OF SEMICONDUCTOR SUBSTRATE

Patent Number: **JP5206264**
Publication date: **1993-08-13**
Inventor(s): **SUZUKI YUJI**
Applicant(s):: **MATSUSHITA ELECTRIC WORKS LTD**
Requested Patent: **JP5206264**
Application Number: **JP19920012436 19920127**
Priority Number(s):
IPC Classification: **H01L21/76 ; H01L21/22**
EC Classification:
Equivalents:

Abstract

PURPOSE: To provide a method for forming a guard ring region having a sufficient field effect alleviating function on a semiconductor substrate in a short processing time.

CONSTITUTION: After an impurity diffused region 5 for a guard ring region is formed on an inner surface of a groove of a semiconductor substrate 1 having the groove 3 formed at a place where the ring region is to be formed by anisotropically etching, the substrate is oxidized, the oxide film covering at least the inner surface of the groove is removed, and then an oxide film 9 is again formed on the inner surface of the groove.

Data supplied from the **esp@cenet** database - I2

(19)日本特許庁 (JP)

(12)公開特許公報 (A)

[特許請求の範囲]

【請求項1】ガードリーニング領域を形成する位置に異方性エッチングにより形成した凹槽を有する半導体基板の前記凹槽の内部部分にガードリーニング領域用の不純物試験領域を形成した後、半導体基板に対し酸化処理を行い、ついで、少なくとも凹槽の内部を覆う酸化膜を一旦除去しておいてから、少なくとも凹槽の内部に酸化膜を改めて形成するよう半導体基板におけるガードリーニング領域の形成方法。

【発明の詳細な説明】

【00011】【産業上の利用分野】この発明は、半導体装置の製造に用いられる半導体基板におけるガードリーニング領域の形成方法に関する。

【00012】【従来の技術】半導体装置の高面圧化方法として、図6に示すように、半導体基板8-1の活性領域(電子形成領域)Eの外側にガードリーニング領域9-1を設ける方法がある。半導体基板8-1のE領域の表面部分に活性領域Eを用ひように逆導電型のp+型不純物試験領域を形成するのである。図6の半導体装置の場合、活性領域Eには表面ゲート型検査導導サイクリック子として必要な領域が形成されている。8-2はp+型のゲート領域、8-3はn+型のカソード領域、8-4はp-のアノード領域、8-5はn-型のベース領域である。

【00013】そして、電子の主電流遮断時には、図7に示すように、半導体基板8-1の活性領域Eから外側のn-領域に伸びる空乏層Hがガードリーニング領域9-1があることにより広がって電界が緩和され面圧が高まるのである。半導体装置の仕様(主電流遮断電圧、面圧など)でガードリーニング領域9-1の本数は異なる。1本のガードリーニング領域9-1で出来る電界緩和の程度は、9-1同士の間隔L1やガードリーニング領域の深さL2、不純物濃度、品質等で決まる。間隔L1や深度が適当であればガードリーニング領域9-1の要さに比例して面圧が増すため、従来の高面圧半導体装置ではガードリーニング領域の花形に要する時間と占有面積が増加し、価格面で問題となっていた。

【00014】一方、最近、半導体装置では、集積度の向上、オシ電圧の改善等の半導体装置の性能を向上するこれが試みられており、これに伴い活性領域内の各領域とが必ず別の工程で形成しなければならない。このように、活性領域内では抵抗率を高くし、活性領域外では抵抗率を低くしなければならない。このため、ガードリーニング領域を形成する半導体基板1の前記凹槽の内部部分にガードリーニング領域用の不純物試験領域5を形成した後、半導体基板1に対し酸化処理を行い、ついで、少なくとも凹槽の内部を覆う酸化膜を一旦除去しておいてから、少なくとも凹槽の内部に酸化膜9を改めて形成するよう半導体基板におけるガードリーニング領域の形成方法。

【7】【要約】

【目的】十分な電界緩和機能を有するガードリーニング領域を短い処理時間でもって半導体基板に形成することができる方法を提供する。

【構成】ガードリーニング領域を形成する位置に異方性エッチングにより形成した凹槽9を有する半導体基板1の前記凹槽の内部部分にガードリーニング領域用の不純物試験領域5を形成した後、半導体基板1に対し酸化処理を行い、ついで、少なくとも凹槽の内部を覆う酸化膜を一旦除去しておいてから、少なくとも凹槽の内部に酸化膜9を改めて形成するよう半導体基板におけるガードリーニング領域の形成方法。

【00015】【発明が解決しようとする課題】この発明は、上記事情に鑑み、十分な電界緩和機能を有するガードリーニング領域を短い処理時間でもって半導体基板に形成することができる方法を提供することを目的とする。

【00016】【課題を解決するための手段】前記課題を解決するための手段】この発明は、上記事情に鑑み、十分な電界緩和機能を有するガードリーニング領域を形成するためには、ガードリーニング領域を形成する位置に異方性エッチングにより形成した凹槽を有する半導体基板にガードリーニング領域を形成する方法である。

【00017】【発明が解決しようとする課題】この発明は、上記事情に鑑み、十分な電界緩和機能を有するガードリーニング領域を形成するためには、ガードリーニング領域を形成する位置に異方性エッチングにより形成した凹槽を有する半導体基板にガードリーニング領域を形成する方法である。

【00018】【課題を解決するための手段】前記課題を解決するためには、ガードリーニング領域を形成する位置に異方性エッチングにより形成した凹槽を有する半導体基板にガードリーニング領域を形成する方法である。

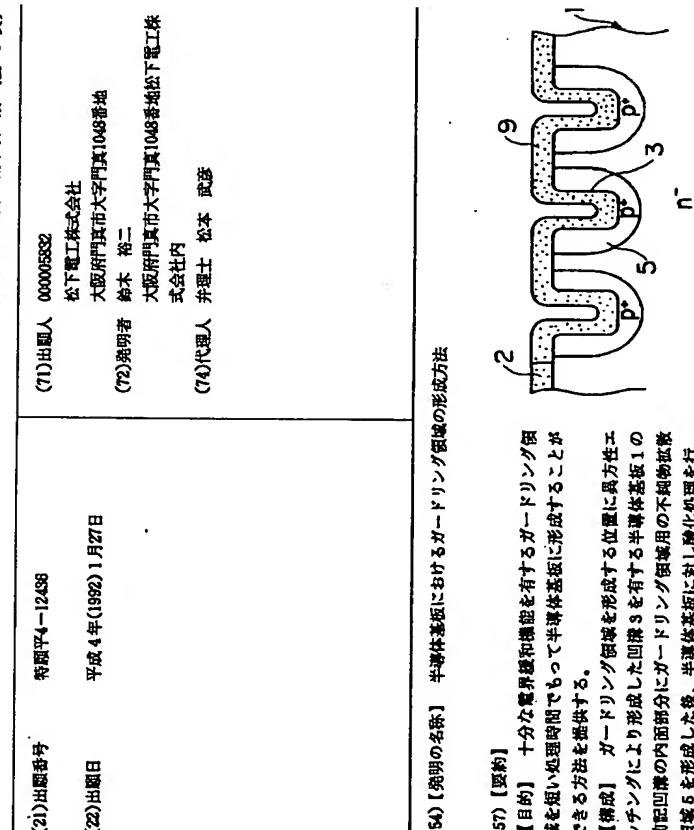
【00019】この発明で作製するガードリーニング領域も、従来と同様、半導体基板の活性領域を用ひるように形成される。ガードリーニング領域の形成本数は、1本の場合もあり、複数本の場合もある。本数は必要に応じて決定する。

【00020】半導体基板の表面に形成する凹槽は、物理的形状を形成した後、半導体基板に形成された半導体素子の種類は、半導体基板半導体基板、DMS-SETを始め可でもよく、特に限定されない。

【00021】この発明では、ガードリーニング領域を形成するため、半導体基板におけるガードリーニング領域の深さは同じでも、凹槽の深さだけ実際の不純物試験領域が短縮され、短い放置時間でガードリーニング領域が形成できる。その結果、活性領域に形成される不純物試験領域との同時形成も可能となる。

【00022】この発明では、ガードリーニング領域用の不純物試験領域を形成した後、凹槽の表面を一を深さだけ除する。

これを除くことにより不良部分を除くのである。この不良部分は異方性エッチングの際の高エネルギーイオノ



ンで損傷した部分であり、これがそのままだとガードリング領域が面やその上の酸化膜部分が良品でなくなり、

ガードリング領域が正常な電界緩和機能を発揮できない。この発明の場合は、この損傷部分を除去してしまうため、完成したガードリング領域が所定の電界緩和機能を発揮し面圧を向上させられるのである。

【0013】

【実施例】以下、この発明の実施例を図面を参照しながら詳しく述べる。この発明は、下記の実施例に限らないことは言うまでもない。まず、図2に示すように、表面が酸化膜2で覆われた半導体基板1の酸化膜2の上にレジストマスク2.1を設けておいて、ガードリング領域2.2を開ける。

【0014】ついで、図2.2の開いた酸化膜2をマスクにして、高エネルギーイオン照射による風扇性エッチングを行い、図3にみると、凹槽3を半導体基板1のガードリング領域形成位置に設ける。凹槽3内表面から2000A程度の深さの部分(斜面部分)

が高エネルギーイオンによる損傷である。凹槽3を形成してから、図4にみると、P型不純物導入・拡散を行い、凹槽3の内面部分にP+型不純物導散領域を形成しガードリング領域6を設けた後、熱酸化処理で高エネルギーイオンによる損傷等を酸化膜6に変えてしまう。伝統法はL2でも実際の伝統領域L3と遙に短い。

【0015】次に、図6にみると、必要部分を残すレジストマスク2.5を設けてエッチング処理し凹槽3内面の酸化膜6を除去し損傷不純物をやり去ったのち、酸化又はCVD法の酸化膜堆積などにより、図1にみると、正常な(良品の)酸化膜9を形成すればガードリング構造の完成である。この発明の方法によるガードリング領域が短いために電界緩和機能が短らしく、活性領域における同じ導電型の不純物導散領域の形成と同時によい。

【0016】例えば、表面ゲート型静電漏斗半導体装置の場合、ゲート領域はガードリング領域と同じ導電型であるから、ゲート領域もガードリング領域と同様に形成位置に凹槽を設ける方法をとれば、ゲート領域およびガ

ードリング領域の伝統距離は短縮され両領域の同時形成が可能となる。

【0017】

【発明の効果】以上に述べたように、この発明の方法によれば、凹槽の深さ分に応じて実際の不純物導散距離が短縮されるため、従来と変わらない深さのガードリング領域を短い処理時間で形成でき、しかも、異方性エッチングの際の高エネルギーイオンによる損傷部分が除去されているため、完成したガードリング領域が所定の電界緩和機能を発揮するから、この発明は非常に有用である。

【図面の簡単な説明】

【図1】この発明の実施例で形成したガードリング領域をあらわす概略断面図である。

【図2】実施例における酸化膜の整開け工程を示す概略断面図である。

【図3】実施例における凹槽形成工程を示す概略断面図である。

【図4】実施例における凹槽内面に対する酸化膜除去工程を示す概略断面図である。

【図5】実施例における凹槽内面の酸化膜除去工程を示す概略断面図である。

【図6】ガードリング領域が設けられた半導体装置をあらわす概略断面図である。

【図7】図6の部分拡大断面図である。

【図8】従来法における凹槽形成工程を示す概略断面図である。

【図9】従来法における酸化膜の整開け工程を示す概略断面図である。

【図10】従来法における不純物導散領域形成工程を示す概略断面図である。

【図11】従来法における凹槽内面の酸化膜形成工程を示す概略断面図である。

【符号の説明】

1 半導体基板

3 凹槽

5 ガードリング領域

6 酸化膜

9 酸化膜

【図1】

【図2】

【図3】

【図4】

【図5】

【図6】

【図7】

【図8】

【図9】

【図10】

【図11】

